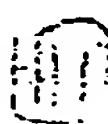


5k

ISSN 0913-5685

信学技報 Vol.101 No.545



# 電子情報通信学会技術研究報告

RCS2001-225~243

〔無線通信システム〕

2002年1月11日



社団法人

電子情報通信学会

# HSDPA におけるマルチパス干渉キャンセラと チップ等化器の特性比較

川村 輝雄, 岸山 祥久, 樋口 健一, 佐和橋 衛

株式会社 NTT ドコモ ワイヤレス研究所  
〒239-8536 神奈川県横須賀市光の丘 3-5

あらまし 本稿では, 下りリンク高速パケット伝送において, マルチパス干渉キャンセラ (MPIC: Multipath Interference Canceller) とチップ等化器のスループット特性について計算機シミュレーションにより比較を行った. 孤立セルにおけるシミュレーション結果より, MPIC はチップ等化器に比べて, 適応変復調 (AMC) を適用したとき QPSK データ変調が用いられるような平均受信  $E_b/N_0$  の低い領域では, 平均スループット 3 Mbps を得るための所要  $E_b/N_0$  を 0.5 dB 程度低減できることを示した. 一方, 16QAM, 64QAM データ変調が用いられる平均受信  $E_b/N_0$  が高い領域では, チップ等化器のスループットは MPIC より優れていることを明らかにした.

キーワード 下りリンク高速パケット伝送, 干渉キャンセラ, チップ等化器, マルチパス干渉

## Throughput Comparison Between Multipath Interference Canceller and Chip Equalizer in HSDPA

Teruo Kawamura, Yoshihisa Kishiyama, Kenichi Higuchi, and Mamoru Sawahashi

Wireless Laboratories, NTT DoCoMo, Inc.  
3-5 Hikari-no-oka, Yokosuka-shi, Kanagawa-ken, 239-8536 Japan

**Abstract** This paper compares the throughput performance of a multipath interference canceller (MPIC) and a chip equalizer in high speed downlink packet access (HSDPA) based on computer simulations, in order to increase the achievable throughput. The simulation results from an isolated-cell model elucidate that the required average received  $E_b/N_0$  employing the MPIC with QPSK data modulation is decreased by approximately 0.5 dB compared to that with the chip equalizer in a lower received  $E_b/N_0$  channel such as at the average throughput of 3 Mbps. Furthermore, we clarify that the chip equalizer is superior to the MPIC in a higher received  $E_b/N_0$  channel where 16QAM or 64QAM modulation is used in an adaptive modulation scheme.

**Key words** High speed downlink packet access, Interference canceller, Chip equalizer, Multipath interference

## 1. まえがき

W-CDMA [1], [2] 方式の本格的商用サービスが開始され、グローバルレベルでの商用サービスが今後相次いで予定されている。また W-CDMA 方式ではすでに、平均ビット誤り率 10<sup>-6</sup> 以下を満たす高品質な情報伝送速度 2 Mbps 伝送の実現が、QPSK データ変調を用いた拡散率 4 の 3 コードチャネル多重により、実験的に実証されている [3]。しかしながら、近年のインターネットの急速な普及および次世代インターネットの発展、さらには情報の多元化・大容量化を考慮すると、特に下りリンクにおいては、データベースや Web サイトからのダウンロード等による高速・大容量のトラフィックが増加すると考えられ、高速パケットデータ伝送技術の確立が必要不可欠である。そこで、3GPP (3rd Generation Partnership Project) においても W-CDMA 無線インタフェースを拡張して、最大情報伝送速度 2 Mbps 以上の下りリンク高速パケット伝送 (HSDPA: High Speed Downlink Packet Access) の検討が行われている [4]。HSDPA では、各ユーザの無線リンクの状態に応じて (リンクアダプテーション)、データ変調多値数、チャネル符号化率等を適応的に切り替える、適応変復調・誤り訂正技術 (AMC: Adaptive Modulation and Coding) や、ハイブリッド ARQ (HARQ: Hybrid Automatic Repeat reQuest)、高速スケジューリング等の技術を活用することで、スループットの増大を実現する。しかしながら、W-CDMA の 5 MHz 帯域を用いた広帯域伝送では、実際の伝搬環境においてマルチパスフェージング (周波数選択性フェージング) が生じ、マルチパス干渉 (MPI: Multipath Interference) に起因する希望波信号電力対雑音電力比 (SIR: Signal-to-Interference power Ratio) の劣化が大きくなる。したがって、HSDPA によって高速パケット伝送が実現できる領域は、マルチパスのない基地局の極近傍の領域に限定され、結果としてシステムの平均スループットも劣化してしまう。そこで筆者らは先に、HSDPA においてマルチパス環境での多値変調時の特性を大きく改善するマルチパス干渉キャンセラ (MPIC: Multipath Interference Canceller) を提案し、MPIC を用いることによりマルチパス環境下でのスループットを大幅に増大できることを示した [5]。一方、DS-SS-CDMA 下りリンクにおいて、ZF (zero-forcing) および MMSE (Minimum Mean Square Error) アルゴリズムを用いて、チップレベルでマルチパスの等化を行う線形等化器 (チップ等化器) が提案されている [6]。

そこで本報告では、前述のチップ等化器を HSDPA のモデルに拡張し、マルチパス環境の HSDPA における MPIC とチップ等化器のスループット特性をシミュレーションにより比較を行い、2 つの方式の適用領域を明らかにする。以降、まず 2 章において MPI の影響を低減する方式である MPIC およびチップ等化器の構成および動作原理を説明する。次に 3 章でシミュレーション諸元について述べた後、4 章でシミュレーションによる評価結果を示す。

## 2. マルチパス干渉キャンセラとチップ等化器

本章では、MPI の影響を低減する方式である MPIC とチップ等化器の構成および動作原理を説明する。簡単のため、1 アンテナ受信、2 パスフェージング環境 (パス間の遅延時間差 Δ チップ) の場合について述べる。

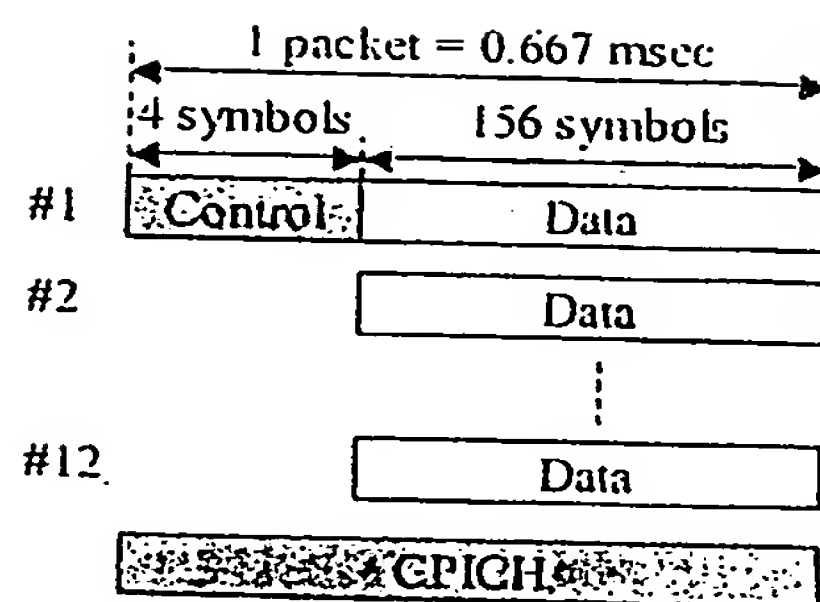


図1: パケットチャネル構成

### 2.1 マルチパス干渉キャンセラの構成

本検討で用いた高速パケットチャネルの構成を図1に示す。高速パケットチャネルは  $K=12$  個のコードチャネルで構成される。1 パケット長は 0.667 msec である。また、このパケットチャネルに加え、移動局におけるチャネル推定のための共通パイロットチャネル (CPICH: Common Pilot Channel) がコード多重されるものとする。

送信拡散信号  $S$  (1 シンボル長) は、行列表示で次のように表せる。

$$S = \begin{pmatrix} s_0 \\ s_1 \\ \vdots \\ s_{SF-1} \end{pmatrix} = \begin{pmatrix} c_{cpich,0} & c_{0,0} & \cdots & c_{K-1,0} \\ c_{cpich,1} & \vdots & & \vdots \\ \vdots & \vdots & & \vdots \\ c_{cpich,SF-1} & c_{0,SF-1} & \cdots & c_{K-1,SF-1} \end{pmatrix} \begin{pmatrix} d_{cpich} \\ d_0 \\ \vdots \\ d_{K-1} \end{pmatrix} \quad (1)$$

$$= CD$$

ここで、 $C$  は拡散符号を表す行列で、 $c_{cpich,i}$  および  $c_{j,i}$  はそれぞれ、CPICH の拡散符号の第  $i$  チップ ( $i=0, 1, \dots, SF-1$ ) およびデータチャネルの第  $j$  コードチャネル ( $j=0, 1, \dots, K-1$ ) の拡散符号の第  $i$  チップとする。また、 $D$  はデータ変調を表す行列で、 $d_{cpich}$  および  $d_j$  はそれぞれ、CPICH および第  $j$  コードチャネルのデータ変調とする。また、 $1/n$  を第  $1$  パス ( $l=0, 1$ ) のチャネルゲインとすると、受信拡散信号  $E$  は次式で表される。

$$E = \begin{pmatrix} e_0 \\ e_1 \\ \vdots \\ e_{SF-1-\Delta} \end{pmatrix} = \begin{pmatrix} h_0 & 0 \\ 0 & h_0 \\ \vdots & \vdots \\ 0 & 0 \end{pmatrix} S + \begin{pmatrix} 0 & 0 \\ \vdots & 0 \\ 0 & h_1 \\ \vdots & \vdots \\ 0 & h_1 \end{pmatrix} S + n = \begin{pmatrix} h_0 & 0 \\ 0 & h_0 \\ 0 & 0 \\ h_1 & 0 \\ \vdots & \vdots \\ 0 & h_1 \end{pmatrix} S + n \quad (2)$$

$$= (H_0 + H_1)S + n = HS + n$$

ここで、 $H_l$  は第  $l$  パスのチャネルゲインにより構成される行列、 $n$  は雑音ベクトルを表す。

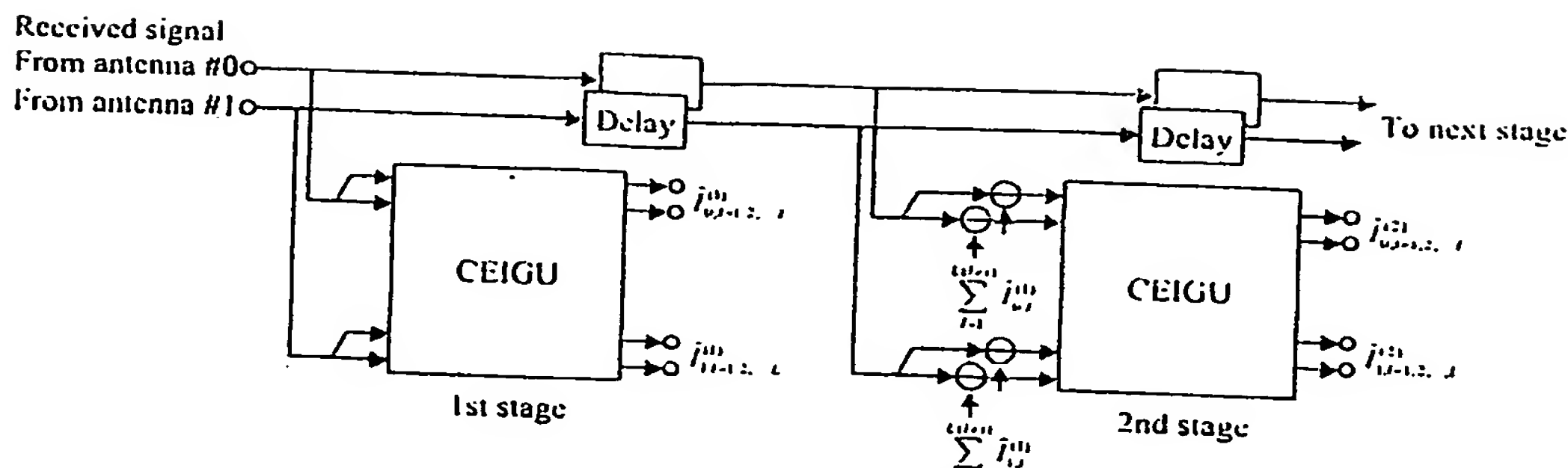


図2: MPICのブロック構成

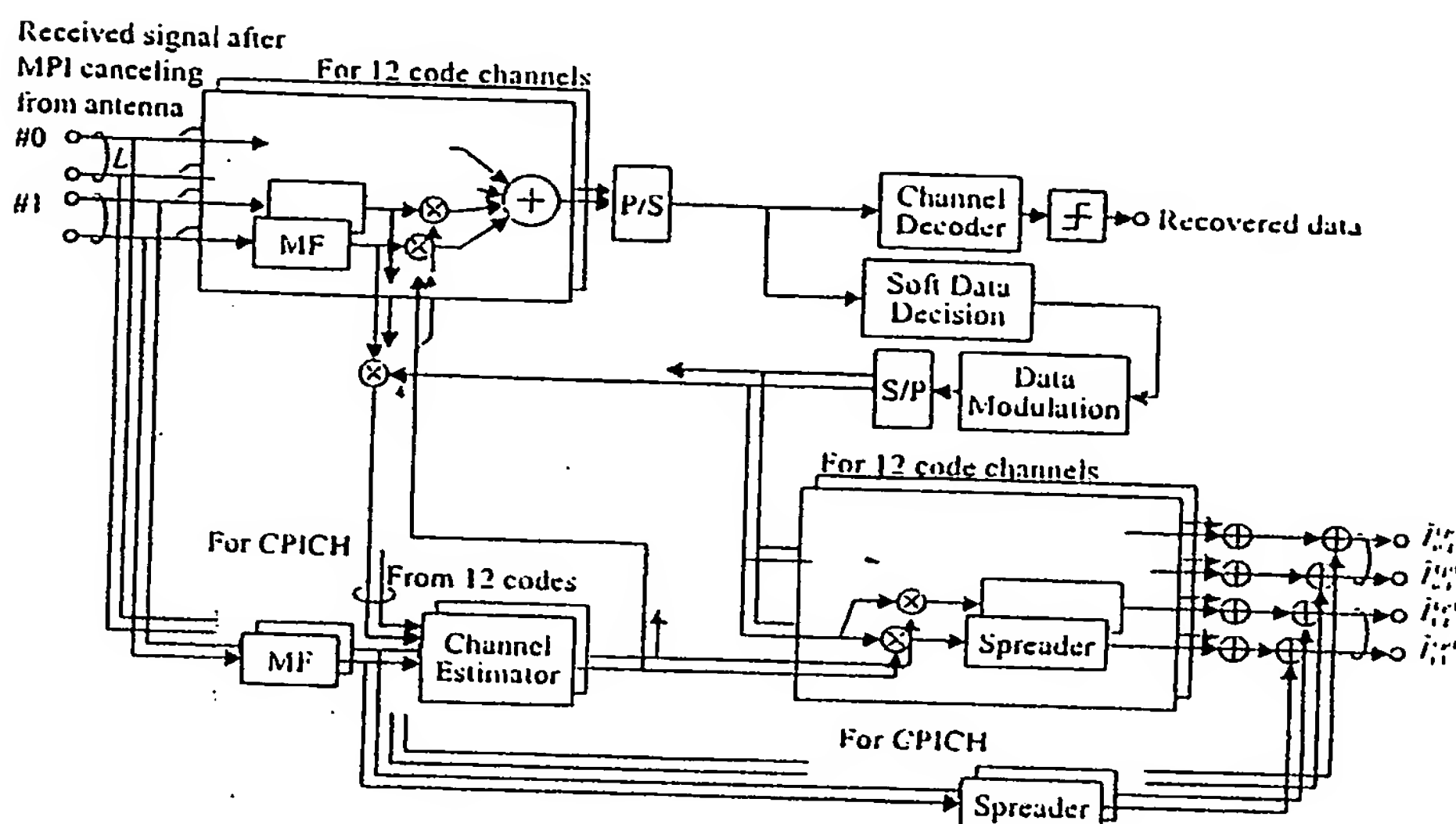


図3: CEIGUのブロック構成

図2にMPICのブロック構成図を示す。MPICは図3に示す複数ステージのチャネル推定およびマルチパス干渉推定器 (CEIGUs: Channel Estimation and Interference Replica Generation Units) から構成される。CEIGUではアンテナ、パス毎に受信信号推定値 (MPIレプリカ) が生成される。第1ステージのCEIGUには、マッチトフィルタ (MF: Matched Filter) 受信の場合と同様に、受信信号が直接入力される。第2ステージ以降のCEIGUの各パスの逆拡散用MFへは、受信信号から前ステージで生成された当該パス以外のMPIレプリカを差し引いた信号が入力される。各パスのチャネルゲインの推定値 (チャネル推定値) は、ステージ毎に逐次的に更新される。このチャネル推定値を用いて、ステージ毎にMPIレプリカが更新されるため、チャネル推定精度の向上に伴いMPIレプリカの生成精度も向上する。CEIGUではパケットチャネルと同時に送信されるCPICHの逆拡散信号を0.667 msecにわたり同相平均することで、チャネル推定値を求める。求めたチャネル推定値を用いてコヒーレント Rake 合成およびアンテナダイバーシチ合成を行い、出力の軟判定値を再データ変調することで、仮データ変調成分を得る。第  $p$  ステージにおける仮データ変調を表す行列  $\hat{D}^{(p)}$  および推定されたチャネル行列  $\hat{H}_i^{(p)}$  は次式のように表される。

$$\hat{D}^{(p)} = \begin{bmatrix} d_{0,1,2,1}^{(p)} \\ d_{11,1,2,1}^{(p)} \\ \vdots \\ d_{K-1,1,2,1}^{(p)} \end{bmatrix}, \hat{H}_0^{(p)} = \begin{bmatrix} \hat{h}_{0,1,2,1}^{(p)} & 0 \\ 0 & \hat{h}_{0,1,2,1}^{(p)} \\ \vdots & \vdots \\ 0 & \hat{h}_{0,1,2,1}^{(p)} \\ 0 & 0 \\ \vdots & \vdots \\ 0 & 0 \end{bmatrix}, \hat{H}_1^{(p)} = \begin{bmatrix} 0 & 0 & 0 \\ \vdots & 0 & \vdots \\ 0 & \vdots & \vdots \\ \hat{h}_{1,1,2,1}^{(p)} & 0 & 0 \\ \vdots & \hat{h}_{1,1,2,1}^{(p)} & \vdots \\ 0 & \vdots & 0 \\ 0 & 0 & \hat{h}_{1,1,2,1}^{(p)} \end{bmatrix} \quad (3)$$

式(3)より、第  $p$  ステージにおける第1パスのMPIレプリカ  $\hat{E}_i^{(p)}$  は、次式のように求められる。

$$\hat{E}_i^{(p)} = \hat{H}_i^{(p)} \hat{C} \hat{D}^{(p)} \quad (4)$$

このMPIレプリカを用いて、第  $(p+1)$  ステージにおける第1パスのCEIGUのMF入力信号  $R_i^{(p+1)}$  は次式で表される。

$$R_i^{(p+1)} = E - \sum_{j=1}^p \hat{E}_i^{(j)} \quad (5)$$

各ステージでは、MPIレプリカを差し引いた信号に対して、第1ステージと同様にチャネル推定、データ変調の仮判定を行いMPIレプリカの更新を行う。最後に、最終ステージにおいて、Rake合成後のデータ信号が誤り訂正復号されて、送信信号を再生する。

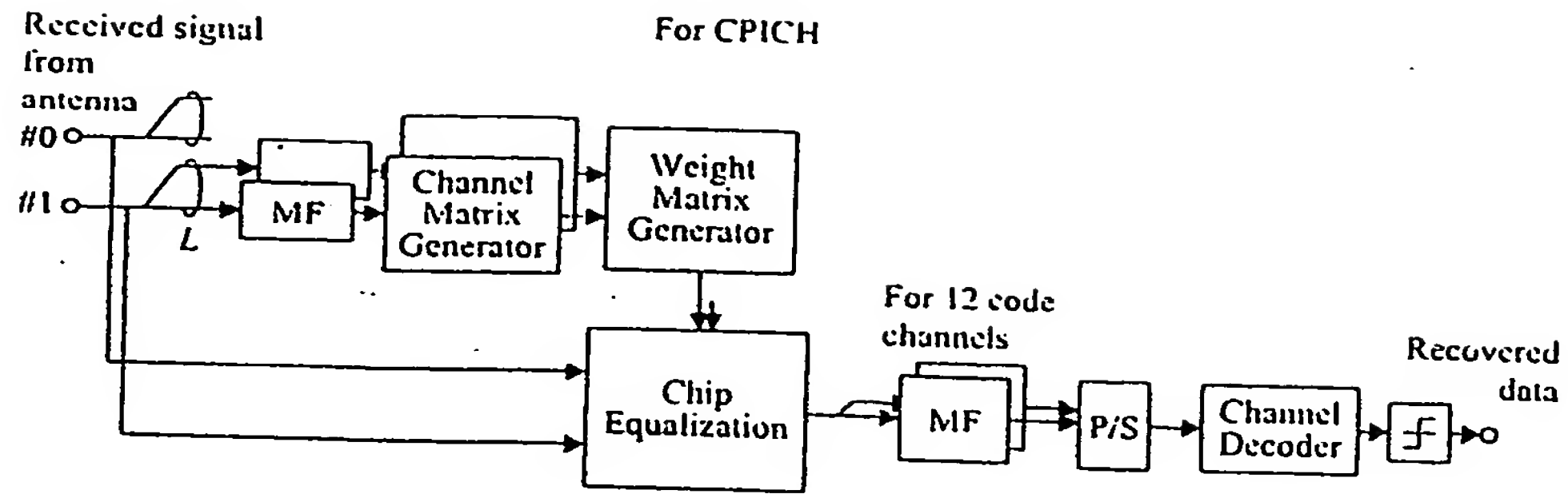


図4: チップ等化器のブロック構成

## 2.2 チップ等化器の構成

図4にチップ等化器のブロック構成図を示す。チャネル推定値はMPICと同様に、パケットチャネルと同時に送信されるCPICHの逆拡散信号を1パケット長にわたり同相平均することで求める。チャネル推定値により構成されるチャネル行列 $\hat{H}$ は、 $(N+\Delta)$ 行 $N$ 列の行列とする。ここで、 $N$ は等化に用いる受信拡散信号のチップ長（等化窓幅）である。よって、マルチパス等化のための重み行列 $W$ は、MMSE基準によりチャネル行列と雑音電力から次のように求められる。

$$\hat{H} = \begin{pmatrix} \hat{h}_0 & & & 0 \\ 0 & \hat{h}_0 & & \\ 0 & 0 & \ddots & \\ \hat{h}_1 & 0 & \ddots & \hat{h}_0 \\ & \hat{h}_1 & \ddots & 0 \\ & & \ddots & 0 \\ 0 & & & \hat{h}_1 \end{pmatrix} \quad (6)$$

$$W = (\hat{H}^H \hat{H} + \sigma^2 I)^{-1} \hat{H}^H \quad (7)$$

ただし、添字 $H$ は行列の共役転置、 $\sigma^2$ は雑音電力を表す。ここで、本稿では送信拡散信号の推定法として以下の2つを評価した。送信拡散信号の推定を $N$ チップ毎にブロック化して行う場合（以降この方法をブロック等化と呼ぶ）[6]、送信拡散信号推定値の行列 $\hat{S}$ は、次式により求められる。

$$\hat{S} = \begin{pmatrix} \hat{s}_0 \\ \hat{s}_1 \\ \vdots \\ \hat{s}_{N-1} \end{pmatrix} = W \begin{pmatrix} e_0 \\ e_1 \\ \vdots \\ e_{N-1+\Delta} \end{pmatrix} \quad (8)$$

一方、1チップ毎に送信拡散信号の推定を当該チップに対応する受信拡散信号を中心とする $N$ チップの受信拡散信号を用いて行う場合（以降この方法をスライド等化と呼ぶ）、推定される第 $n$ チップの送信拡散信号 $\hat{s}_n$ は、次式により求められる。

$$\hat{s}_n = W \begin{pmatrix} e_{n-N/2-1} \\ e_{n-N/2} \\ \vdots \\ e_n \\ \vdots \\ e_{n+N/2+\Delta} \end{pmatrix} \quad (9)$$

ここで、 $w$ は重み行列 $W$ の第 $N/2$ 行ベクトルを表す。最後に、ブロック等化またはスライド等化により推定された送信拡散信号系列を逆拡散して得られるデータシンボルを誤り訂正復号し、送信情報データ系列を再生する。

## 3. シミュレーション諸元

表1にシミュレーション諸元を示す。パケットチャネルは拡散率 $SF=16$ の12コード多重で構成され、1パケット長は0.667 msec（1スロット長）とする。各スロット内には、 $N_d=156$ 個のデータ変調シンボルが存在し、1番目のコードチャネルにのみ $N_p=4$ シンボルの制御データシンボル（今回の評価では未使用）を時間多重した。また、このパケットチャネルに加え、絶対同期検波のためのCPICHを符号多重（ $SF=256$ ）し、図7を除き、その送信電力はパケットチャネルの送信電力の1/8（ $R_{CPICH/DSCCH}=1/8$ ）とした。送信部では、誤り訂正符号化として、符号化率1/3、拘束長 $k=4$ のターボ符号をパンクチャして生成した符号化率 $R=3/4$ のターボ符号化を用いて情報

表1: シミュレーション諸元

Chip rate	3.84 Mcps
Symbol rate	240 kbps
Information bit rate	4.21, 8.42, 12.6 Mbps
Spreading factor (SF)	16
Number of multicode (K)	12
Modulation	Data: QPSK, 16QAM, 64QAM Spreading: QPSK
CPICH transmission power ( $R_{CPICH/DSCCH}$ )	1/8 of the power of 12-code channel
Packet length	0.667 msec (1-slot length)
Cannel coding / decoding	Turbo coding ( $R=3/4, k=4$ ) / Max-Log-MAP decoding (4-iteration)
Cannel estimation	CPICH-assisted (1-slot averaging)
Antenna diversity reception	2-branch
Channel model	$L$ -path Rayleigh, $f_D=5.55$ Hz Max path delay = 1 - 8

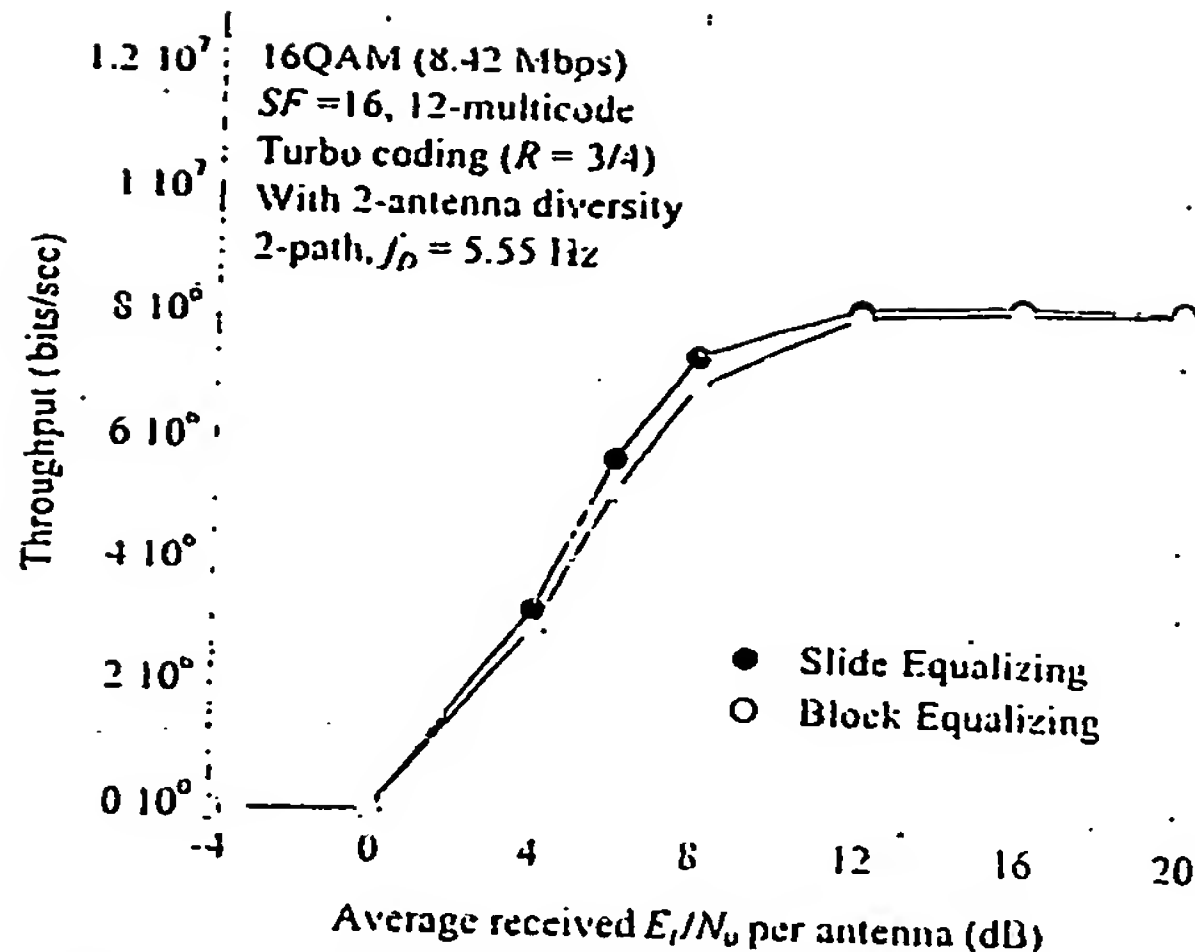


図5: ブロック等化とスライド等化の特性比較

信号系列を符号化し、 $156 \times m \times 12$  ビットの符号化系列を生成した。ここで、 $m$  はデータ変調多値数であり、QPSK, 16QAM, 64QAM に対し、それぞれ、 $m=2, 4, 6$  である。生成された符号化系列をデータ変調した後、156 シンボル毎に 12 マルチコードパケットチャネルに分配し、OVSF (Orthogonal Variable Spreading Factor) 符号により拡散 ( $SF=16$ ) し、CPICH ( $SF=256$ ) とともに符号多重され、スクランブルコードを乗算して送信信号とした。

送信された信号は、平均受信レベルの等しい  $L$  パスレイリーフェージングを受け、各パスは最大ドップラー周波数  $f_D = 5.55 \text{ Hz}$  の独立なレイリー変動を受けるものとした。受信部は、2 ブランチのアンテナダイバーシチ受信を行うものとし、アンテナ間のフェージング相関は 0 を仮定した。ターボ符号の復号アルゴリズムには Max-Log-MAP 復号を用い、反復回数を 4 とした。シミュレーション結果において、スループット  $\eta$  は、次の式で定義した。

$$\eta = R_p \times \frac{N_{\text{succ}}}{N_{\text{trans}}} \quad (10)$$

ここで、 $N_{\text{succ}}$ ,  $N_{\text{trans}}$  はそれぞれ、誤りなしに正しく受信されたパケット数、全送信パケット数を示す。また、 $R_p$  は情報ビットレートを示す。

#### 4. シミュレーション結果

##### 4.1 テップ等化器のパラメータの最適化

本節では、検討を行うチップ等化器に関して、ブロック等化とスライド等化のスループット特性、および等化窓幅  $N$  のスループットに与える影響の評価を行う。

図5に、チップ等化器におけるスライド等化およびブロック等化を用いたときの平均受信  $E_b/N_0$  に対するスループット特性を示す。16QAM データ変調、 $L=2$  とし、パス間の遅延時間は 1 チップとした。図からわかるように、ピークスループットは、スライド等化およびブロック等化でほぼ等しいものの、平均受信  $E_b/N_0 = 8 \text{ dB}$  付近で、スライド等化はブロック等化をした場合より 10% 程度スループットが改善されていることがわかる。これはブロック等化の場合、ブロック端に位置するチップを等化するために乗算する重み係数が打ち切られるため、マ

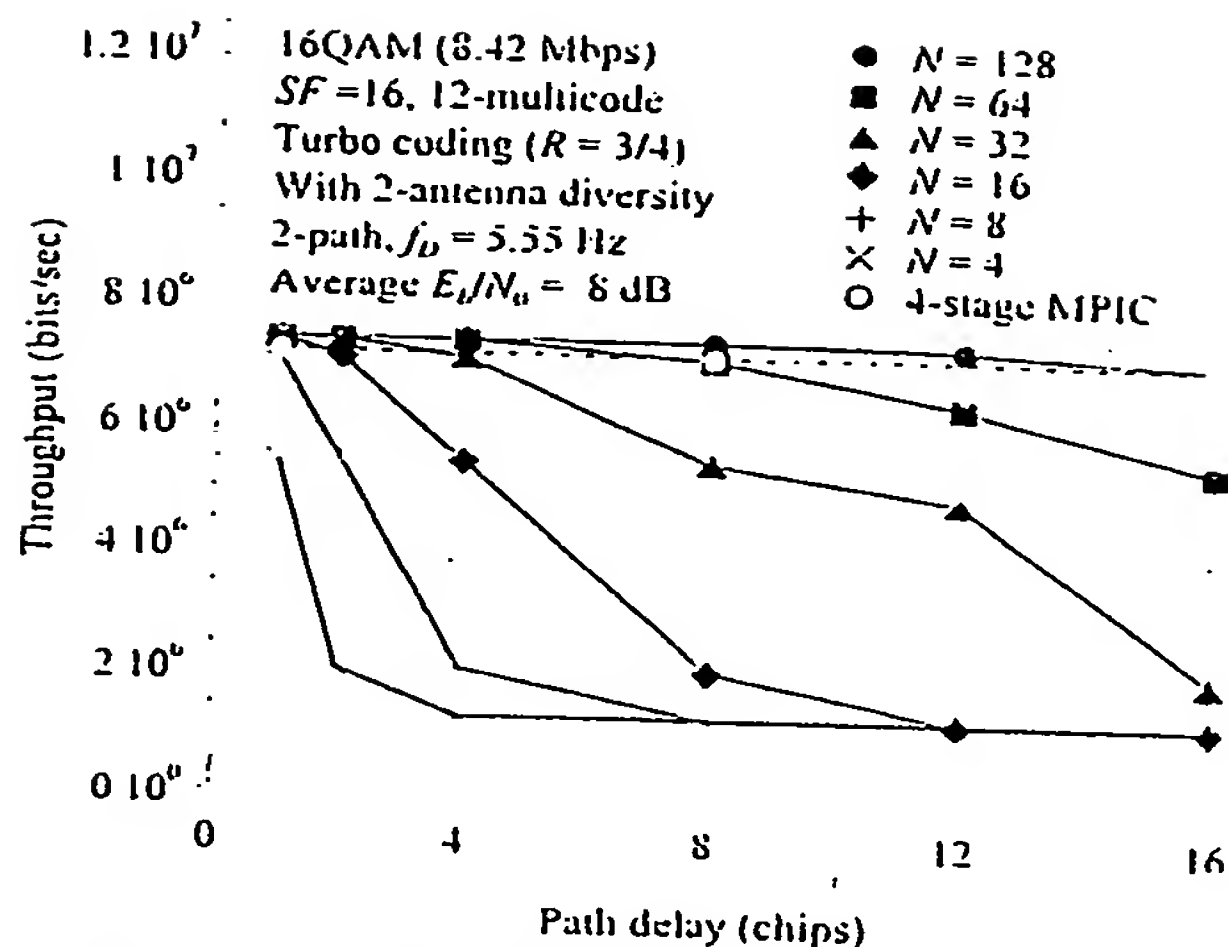


図6: パス遅延時間に対するスループット特性

ルチップ等化が十分に行われず、結果として、ブロック端での推定誤りが多くなるためであると考えられる。したがって、以降の検討においてはスライド等化を用いた。

次に、チップ等化器を用いたときのマルチパス等化窓幅  $N$  をパラメータとした、2 パス間の遅延時間差に対するスループット特性を図6に示す。4 ステージの MPIC を用いたときのスループット特性も併せて示す。16QAM データ変調を用い、平均受信  $E_b/N_0 = 8 \text{ dB}$  とした。図6より、MPIC は、パス間の遅延時間差の制約がないため、遅延時間差に依存せず、一定のスループット特性が得られている。一方、チップ等化器は遅延時間差の増大に伴いスループット特性が劣化している。これは、等化窓幅に対してパス遅延時間差が大きくなると、チップ間の相互相関伝搬の打ち切りに起因してマルチパス等化が十分に行えないためであると考えられる。したがって、パス遅延による特性の劣化は等化窓幅を増加させることにより低減することができ、 $N=64$  ( $N=128$ ) の場合、8 チップ (16 チップ) 遅延までは MPIC とほぼ同等の特性が得られるまでに MPI を抑圧できることがわかる。

チップ等化器は、等化窓幅を増大させるとパスの遅延時間差が大きい MPI も十分に抑圧できるものの、処理量が増大する。したがって、複素乗算演算回数を基にした MPIC とチップ等化器の処理量の比較を行った。MPIC の乗算回数を表2(a)に示す。表において  $N_i$  は 1 パケットに含まれるシンボル数を表す。最終ステージ以外の各ステージでは、MF ベースの Rake 受信に必要な乗算に加え、仮データ変調および MPI レプリカ生成用の再拡散などのための乗算が必要となる。一方、最終ステージの乗算回数は MF ベースの Rake 受信の場合と等しい。同様に、チップ等化器の乗算回数を表2(b)に示す。チップ等化器の乗算回数の大部分は、マルチパス等化のための重み行列の生成に占められることがわかる。表3に MPIC とチップ等化器の乗算回数 (処理量) の総合比較を示す。本稿で検討を行う諸元 ( $N_i=160$ ,  $SF=16$ ,  $K=12$ ,  $L=2$ ) において、4 ステージの MPIC と等化窓幅  $N$  に応じたチップ等化器の乗算回数の比較を表している。表3より、4 ステージの MPIC は MF ベースの Rake 受信の乗算回数の約 7 倍となっている。また、チップ等化器の等化窓幅  $N=32, 64, 128$  に対する乗算回数は、それぞれ 4 ステージ MPIC の約

表 2(a): MPIC の乗算回数

	MF based Rake receiver	MPIC	
		$p$ -th stage	Final stage
Despreading	$N_s \times SF \times (K+1) \times L$	$N_s \times SF \times (K+1) \times L$	$N_s \times SF \times (K+1) \times L$
Channel compensation	$N_s \times K \times L$	$N_s \times K \times L$	$N_s \times K \times L$
Inverse-modulation		$N_s \times K \times L$	
Multiplication of channel		$N_s \times K \times L$	
Multiplication of MPI rejection weight		$N_s \times K \times L$	
Re-spreading		$N_s \times SF \times (K+1) \times L$	
Total	$N_s L \{K(SF+1)+SF\}$	$N_s L \{2(K+1)SF+4K\}$	$N_s L \{K(SF+1)+SF\}$

表 2(b): チップ等化器の乗算回数

	Chip Equalizer
Despreading of CPICH	$N_s \times SF \times L$
Weight matrix generation	$N^3/2 \times N^2$
Chip equalization (multiplication of Weight matrix)	$N_s \times SF \times N$
Despreading of packet channel	$N_s \times SF \times K$
Total	$N_s SF \{N+L+K\} + N^3/2 \times N^2$

表 3: MPIC とチップ等化器の乗算回数の比較

	Multiplication	Example (Ratio to 4-stage MPIC), when $N_s = 160, SF = 16, K = 12, L = 2$
MF based Rake receiver	$N_s L \{K(SF+1)+SF\}$	$7.04 \times 10^{-4}$ (0.14)
MPIC 4 stages	$N_s L \{K(7SF+13)+7SF\}$	$5.16 \times 10^{-2}$ (1.00)
Chip Equalizer $N = 32$	$N_s SF \{N+L+K\} + N^3/2 \times N^2$	$1.53 \times 10^{-3}$ (0.30)
Chip Equalizer $N = 64$		$4.70 \times 10^{-3}$ (0.91)
Chip Equalizer $N = 128$		$2.53 \times 10^{-2}$ (4.90)

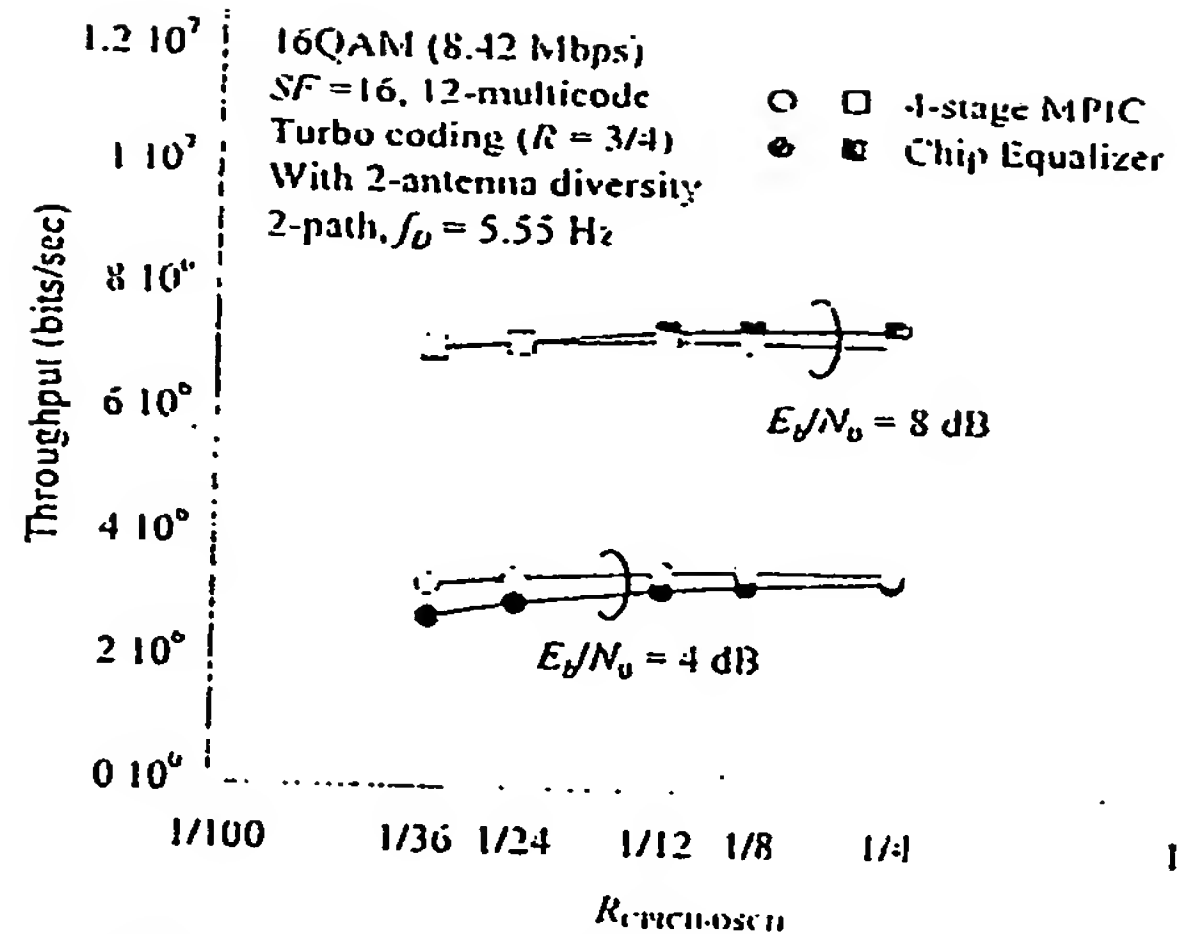
0.3, 0.9, 4.9 倍であり, 等化窓幅の増加に伴い乗算回数が指数関数的に増大することがわかる。したがって, 以降の検討において, チップ等化器の等化窓幅は 4 ステージ MPIC と同程度の処理量となる  $N = 64$  を用いた。

#### 4.2 スループット比較

まず, 4 ステージの MPIC および チップ等化器 ( $N = 64$ ) を用いたときのパケットチャネルの送信電力に対する CPICH の送信電力比  $R_{CPICH/DSCH}$  に対するスループット特性を図 7 に示す。16QAM データ変調とし, 平均受信  $E_b/N_0 = 4, 8$  dB とした。図 7 より,  $R_{CPICH/DSCH}$  が小さくなるに従って, MPIC および チップ等化器のスループット特性は若干低減しており, 平均受信  $E_b/N_0 = 4$  dB の場合,  $R_{CPICH/DSCH}$  が 1/4 から 1/36 に低下したとき, MPIC は, スループット特性の劣化が約 92 % に抑えられるのに対して, チップ等化器では約 80 % まで劣化している。これは, MPIC はステージを重ねることにより MPI 除去後に行われるチャネル推定精度が向上するのに対して, チップ等化器では MPI 除去前の受信信号でチャネル推定を行うため CPICH が小さいときのチャネル推定精度の劣化が大きいためであると考えられる。よって, チップ等化器のスループット特性は MPIC に比較して CPICH の送信電力により大きく依存することがわかる。

次に, MPIC および チップ等化器の QPSK, 16QAM, および 64QAM データ変調を用いたときの平均受信  $E_b/N_0$  に対するスループット比較を図 8 に示す。QPSK, 16QAM, 64QAM データ変調のときのスループット特性をそれぞれ, 図 8(a), 8(b), 8(c) に示す。  $L = 2$  とし, パス間の遅延時間は 1 チップとした。比較のため, 1 パスの場合および MF ベースの Rake 受信の特性も同図に示している。

図 8(a) より, QPSK データ変調の場合, 全領域において MPIC のスループット特性はチップ等化器を上回っており, スループット 2-4 Mbps の領域においては, 同一の

図 7:  $R_{CPICH/DSCH}$  に対するスループット特性

スループットを得るための所要平均受信  $E_b/N_0$  を 0.5 dB 程度低減できることがわかる。これは, 受信  $E_b/N_0$  が非常に小さいために, チップ等化器は, チャネル推定誤差の影響が大きいのに対して, MPIC は, チャネル推定精度が各ステージで逐次的に更新されるためであると考えられる。

一方, 図 8(b) に示すように 16QAM データ変調を用いた場合には, スループットの向上が期待できる平均受信  $E_b/N_0$  の動作領域が高くなるために, チップ等化器はチャネル推定誤差の影響が小さくなり, 平均受信  $E_b/N_0 = 0$  dB - 16 dB の領域においてチップ等化器は, MPIC とほぼ同等のスループット特性が得られている。

さらに, 図 8(c) に示すように 64QAM データ変調を用いた場合には, 特に平均受信  $E_b/N_0$  が 10 dB よりも大きい領域においては, チップ等化器は MPIC に比較して, 大幅にスループットが改善できていることがわかる。一例として, 平均受信  $E_b/N_0 = 10$  dB における MPIC のスループットは 7.6 Mbps であるのに対し, チップ等化器は 8.5 Mbps である。MPIC のチップ等化器に対するスループット劣化は, 特にステージ初段で MPI により発生した仮データ判定誤りに起因すると考えられる。しかしながら, 平均受信  $E_b/N_0 = 10$  dB 以上になる領域は, マルチセル環境においては他セル干渉を  $N_0$  に含めて考えると場所率としては 1 % 未満であり, 実際のマルチセル環境において, チップ等化器が MPIC に対して大幅なスループットの向上を期待できる領域は, 極めて少ないと考えられる。

最後に,  $L = 2, 3, 4$  のときの, パスの遅延時間をパラメータにした場合の, MPIC, およびチップ等化器のスループット特性を, それぞれ図 9(a), 9(b), 9(c) に示す。データ変調は, 16QAM とした。それぞれの場合において, パスモデルは, (a) 1 チップおよび 8 チップ遅延の 2 パス, (b) 1 チップおよび 4 チップ遅延の 3 パス, (c) 1 チップおよびそれぞれ 2, 3, 3 チップ遅延の 4 パスとし, いずれの場合も最大遅延時間は 8 チップ長 (約 2  $\mu$ sec) とした。比較のため, 1 パスの場合および MF ベースの Rake 受信の特性も同図に示している。図 9(a) に示すように,  $L = 2$  のとき, パス間の遅延時間差が 1 チップ長, 8 チップ長双方の場合において, MPIC とチップ等化器は, ほ

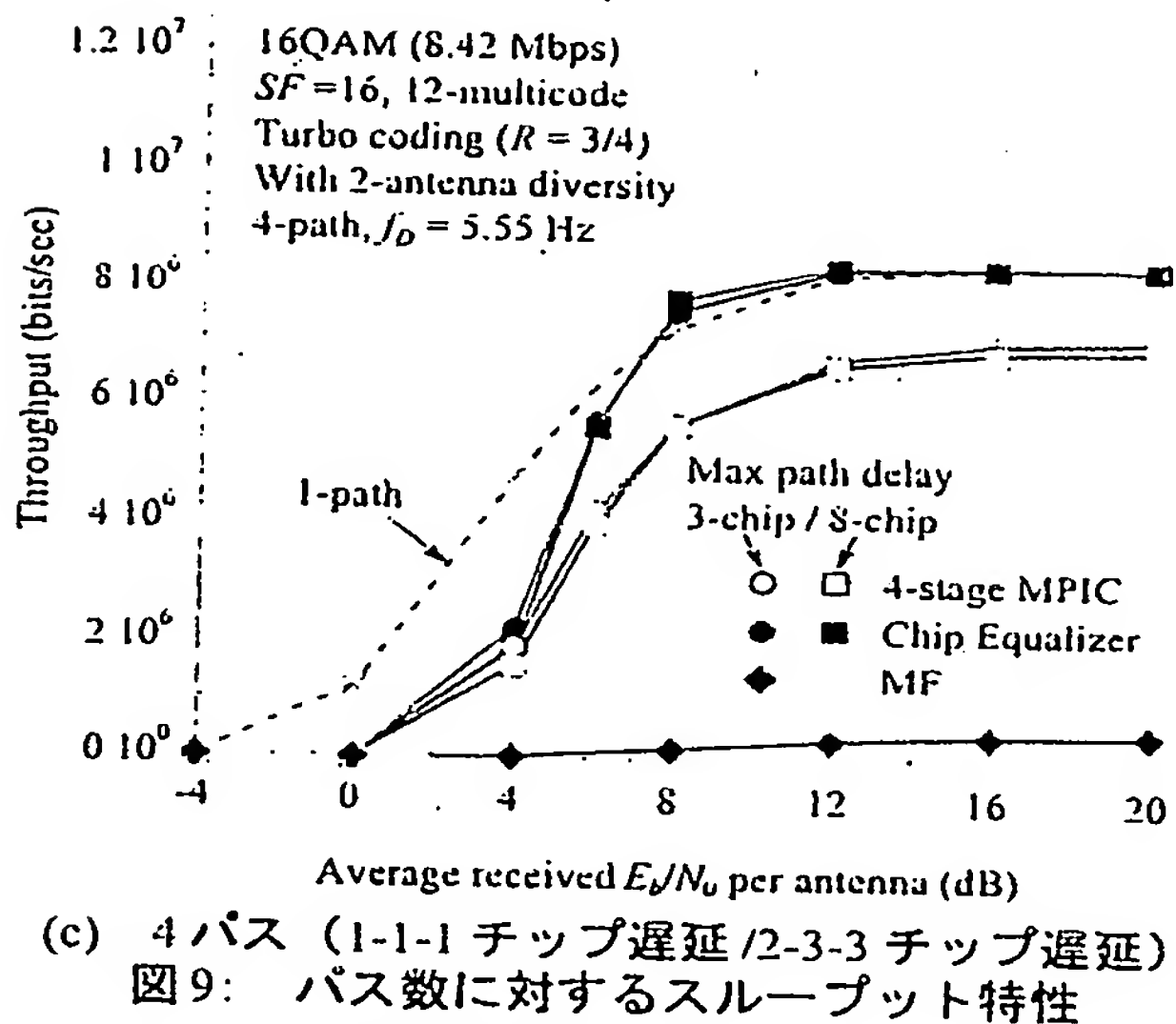
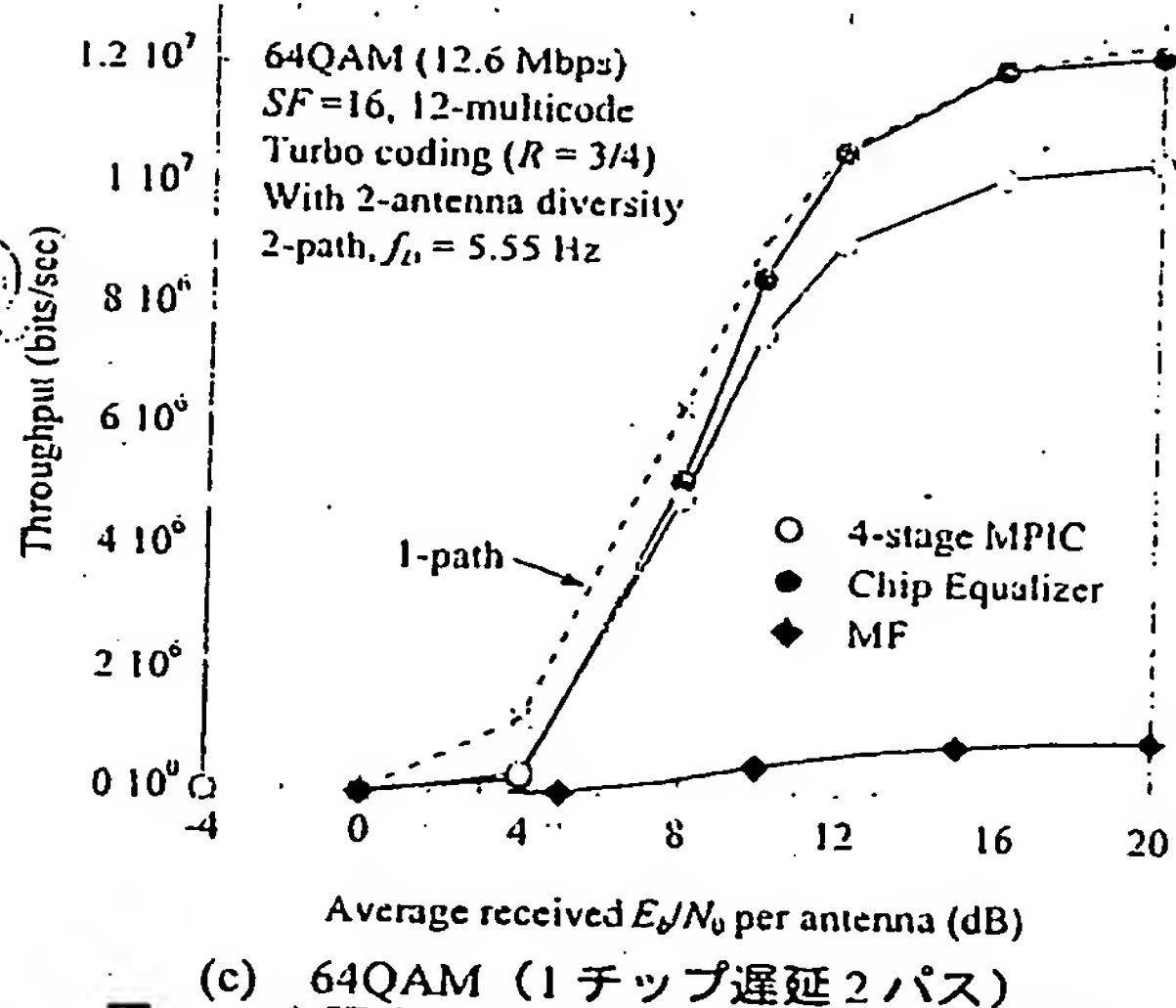
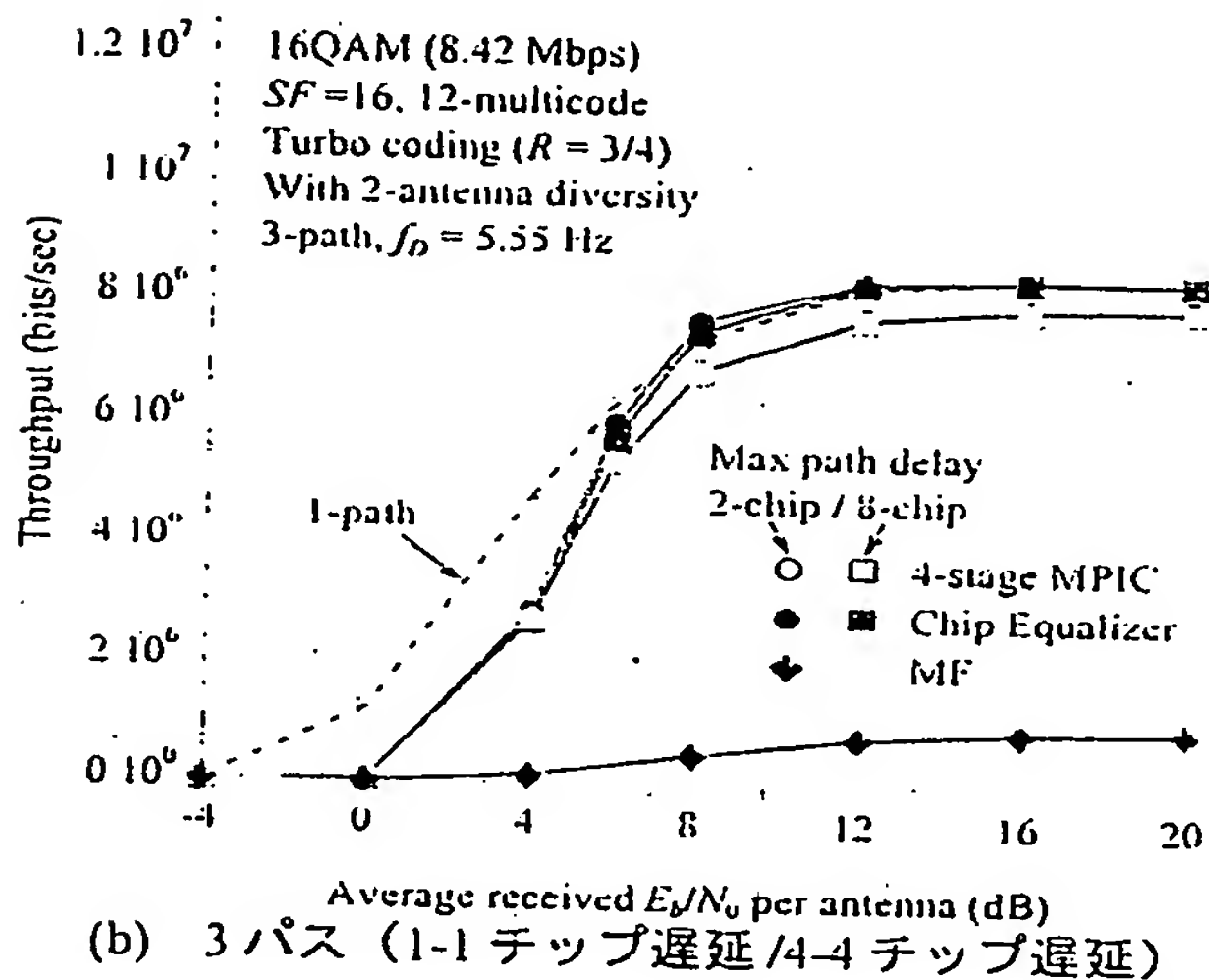
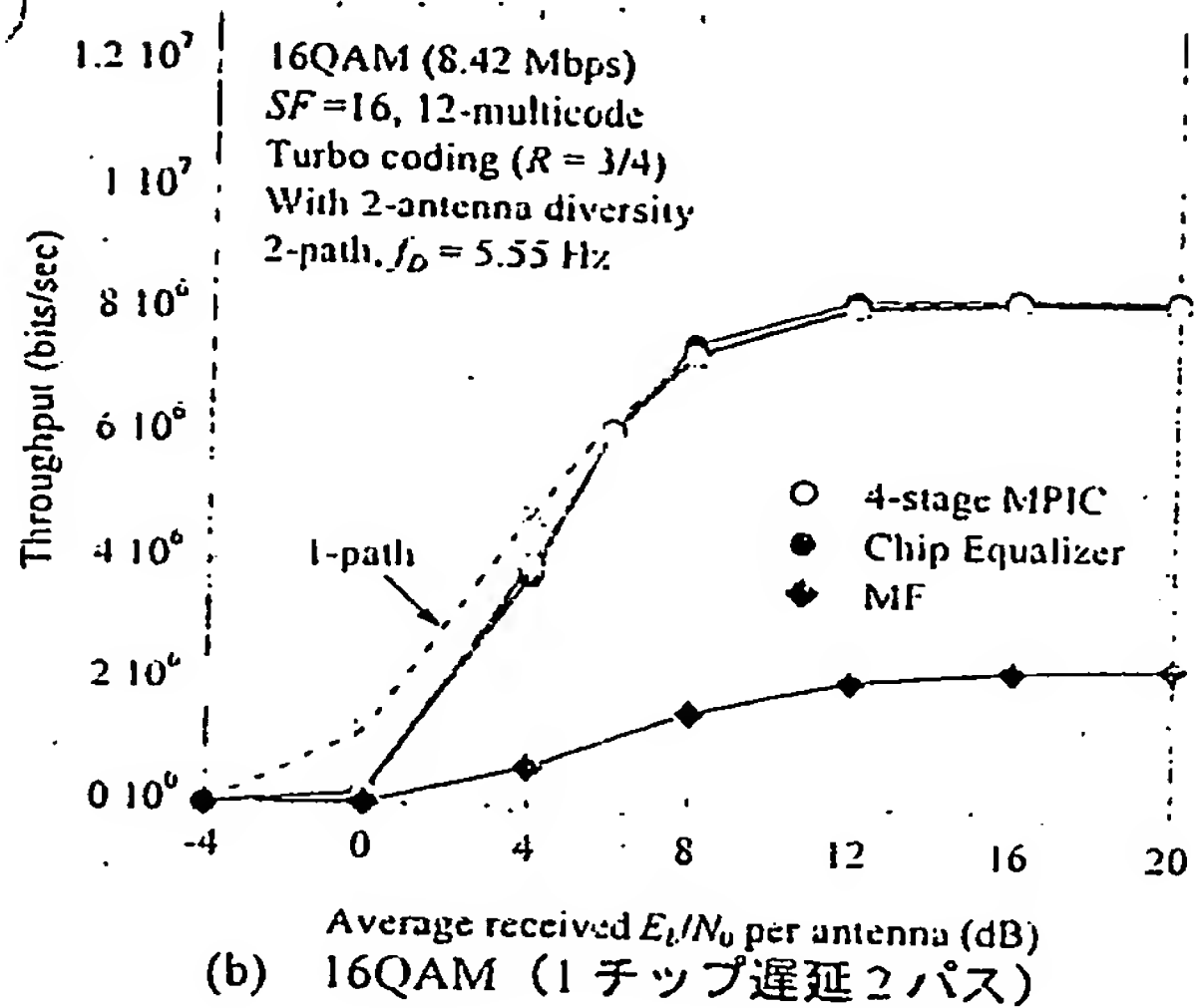
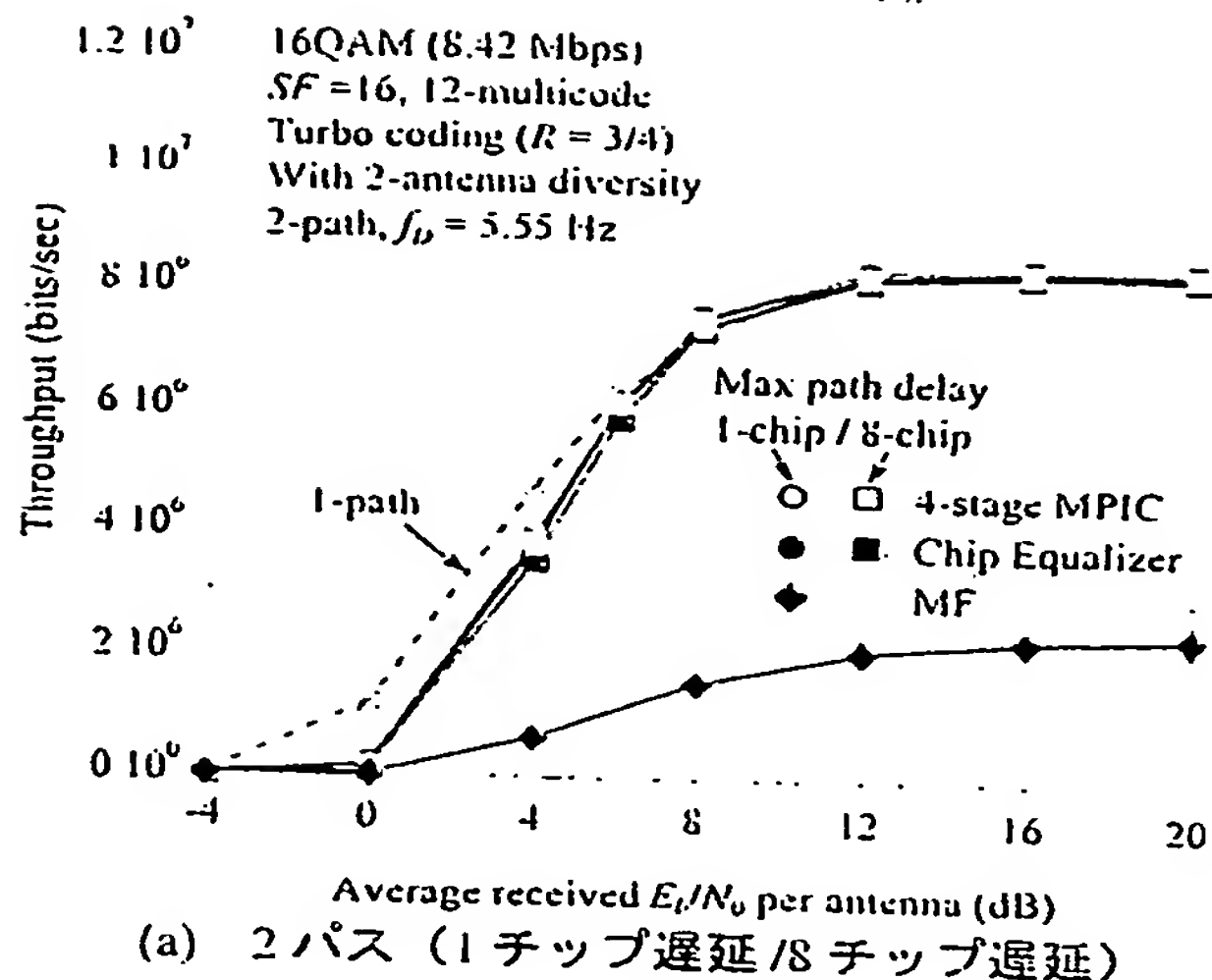
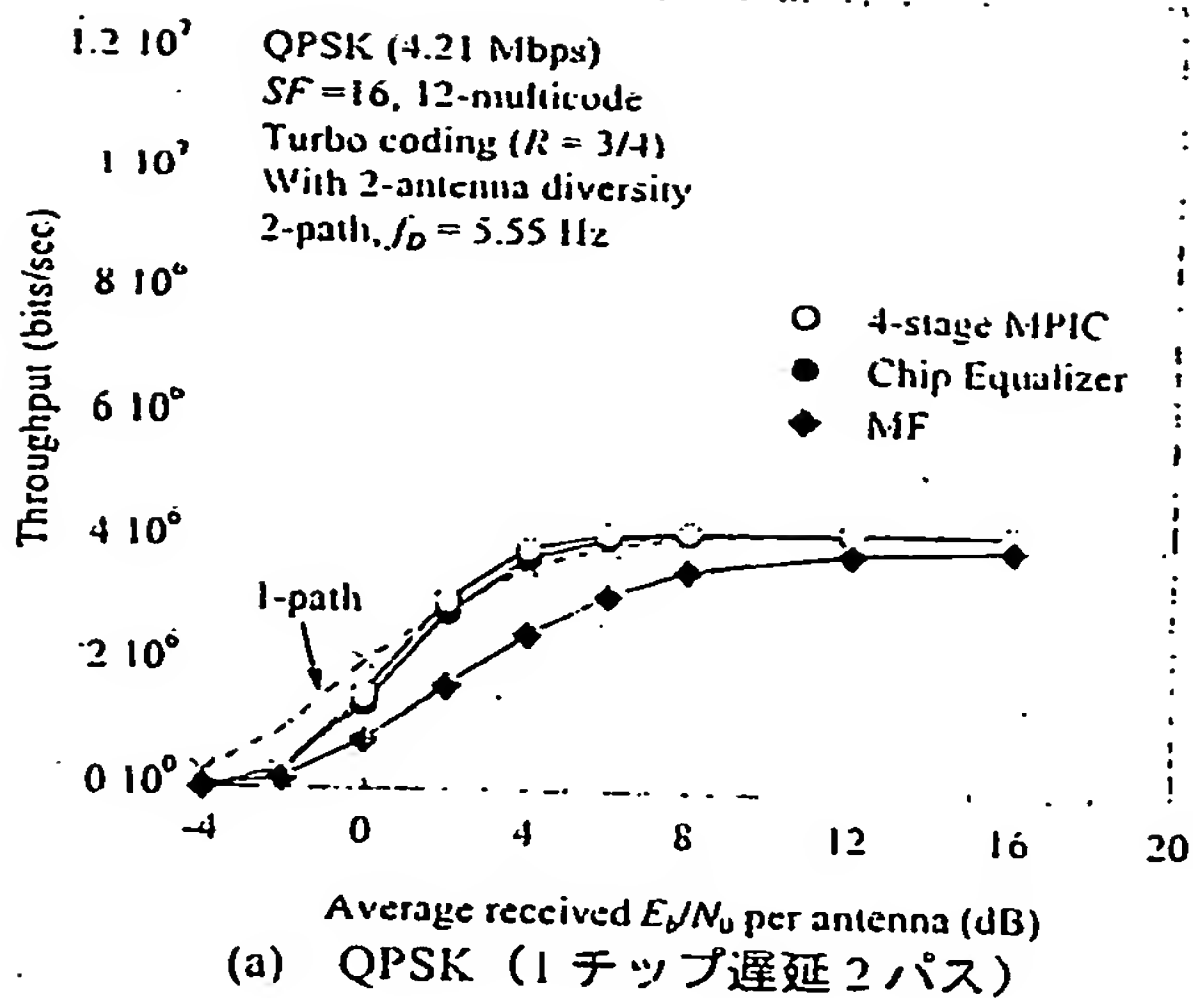


図8: 変調方式に対するスループット特性

図9: パス数に対するスループット特性

ほ同等のスループット特性を実現している。しかしながら、図9(b), 9(c)より、 $L$ が3, 4に増大すると、MPICのスループット特性は特に平均受信 $E_b/N_0$ が8 dB以上の高い領域においてチップ等化器よりも劣化し、その差が大きくなる傾向があることがわかる。平均受信 $E_b/N_0 = 8$  dB

において、チップ等化器を用いたときのスループットはMPICと比較して、 $L=3$ のときは約1.1倍、 $L=4$ のときは約1.4倍に増大できることがわかる。このMPICにおける特性劣化の主な要因は、パス数が増大したときにMPIレプリカ生成のための仮データ判定における誤りが

増加するためであると考えられる。

## 5. まとめ

本稿では、下りリンク高速パケット伝送において、MPICとチップ等化器のスループット特性について計算機シミュレーションにより比較を行った。孤立セルにおけるシミュレーション結果より、MPICはチップ等化器に比べて、適応変復調を適用したときQPSKデータ変調が用いられるような平均受信  $E_b/N_0$  の低い領域では、平均スループット3 Mbpsを得るための所要  $E_b/N_0$  を0.5 dB程度低減できることを示した。一方、16QAM、64QAMデータ変調が用いられる平均受信  $E_b/N_0$  が高い領域では、チップ等化器のスループットはMPICより優れていることを明らかにした。16QAMの場合、平均受信  $E_b/N_0 = 8$  dBにおいて、チップ等化器を用いたときのスループットはMPICと比較して、2パスの場合はほぼ同等であるが、3パスのときは約1.1倍、4パスのときは約1.4倍に増大できることを示した。

## 参考文献

- [1] F. Adachi, M. Sawahashi, and H. Suda, "Wideband DS-SS-CDMA for next-generation mobile communications systems," IEEE Commun. Mag., vol. 36, no. 9, pp. 56-69, Sept. 1998.
- [2] M. Sawahashi, K. Higuchi, S. Tanaka, and F. Adachi, "Enhanced wireless access technologies and experiments for W-CDMA communications," IEEE Personal Commun., vol. 7, no. 6, pp. 6-16, Dec. 2000.
- [3] K. Okawa, S. Fukumoto, K. Higuchi, M. Sawahashi, and F. Adachi, "Experiments on 2-Mbps Data Transmission Applying Antenna Diversity Reception over 5-MHz W-CDMA Mobile Radio Link," IEICE Trans. Commun., Vol. E83-B, No. 8, pp. 1602-1609, Aug. 2000.
- [4] 3GPP, TR25.848, "Physical Layer Aspects of UTRA High Speed Downlink Packet Access."
- [5] K. Higuchi, A. Fujiwara, and M. Sawahashi, "Multipath Interference Canceller for High-Speed Packet Transmission with Adaptive Modulation and Coding Scheme in W-CDMA Forward Link," Proc. of IEEE VTC2001-Spring, Rhodes Greece, May 2001.
- [6] Anja Klein, "Data Detection Algorithms Specially Designed for the Downlink of Mobile Radio Systems," Proc. of IEEE VTC'97, pp.203-207, Phoenix, May 1997.
- [7] 三木, 安部田, 新, 佐和橋, "W-CDMA下りリンク高速パケット伝送におけるパケット合成型ハイブリッドARQに適した軟判定レプリカを用いるマルチパス干渉キャンセラの特性," 信学技報, RCS2001-165, 2001年10月.